

「LSI設計の最前線:遅くすると速くなる？」

Making it slow makes it fast



金子 峰雄

情報科学研究科

2013 9/19(木) 12:40 – 13:20

会場:ラーニング・コモンズ「J-BEANS」

情報処理の「現場」である集積回路(LSI)の進歩は材料や微細加工技術の進歩に因るところが大きい。一方、LSIの設計は所定の製造技術に対して、部品(トランジスタ)の組み合わせ方だけで如何にして速度性能を絞り出すかの戦い。こうした設計問題の一例として、動作タイミング設計の問題を取り上げます。CPUがクロック信号で動作することは良く知られていて、クロック周波数がCPU性能の指標となったりします。このクロック信号とは、LSI内のいろいろな場所での「時刻合わせ」をすることによって、計算処理のタイミングを計るもので、本来はあらゆる場所での「同時性」が重要となります。ところが、この同時性を積極的に崩すことでLSIの速度性能を向上させることができます。更にこうした設計においては、部分的に速度性能を落とすことで、全体としての速度性能を向上させることも可能です。今や完全にブラックボックス化してしまったLSIですが、少しでも身近に感じて頂ければ幸いです。

The slides are written in English. Foreign audience is welcome!



ラーニング・コモンズJ-BEANSは、大学会館1階(旧・交流ホール)です。
J-BEANS is located on the 1F, Institute Hall (former 'Community Hall').

J-BEANSセミナーは、JAISTで行われている研究の知識共有を目指しています。専門家以外も楽しめるセミナーを行いますので、ぜひ講師以外の研究科の方もご来聴下さい。

担当教員 : 情報科学研究科 准教授 鶴木祐史