

田中 清史 様

ウインドウを閉じる

シラバス参照

講義名	計算機アーキテクチャ特論
基準単位数	2
校地	東京
科目群	情報科学系科目（東京）
科目コード	I218
授業実施言語	日本語
開講時期	I 期

担当教員

氏名

◎ 田中 清史

曜日/時限	I 期
達成目標	現在の計算機の高速化の基礎となるパイプライン処理、キャッシュ、記憶階層技術について説明できる。また、先進的なスーパースカラプロセッサやマルチプロセッサの構成方法に関する基本概念を論じることができる。さらに、計算機アーキテクチャについて幅広く理解することにより、計算機アーキテクチャを研究対象として取扱う能力を獲得できる。
概要	IT時代の中核をなす計算機アーキテクチャを理解することは重要である。この授業では計算機の高速化の基となるパイプライン処理技術、キャッシュ、メモリ階層技術、分岐予測、スーパースカラプロセッサの原理、マルチプロセッサの構成方法等について学ぶ。
教科書	「コンピュータの構成と設計（ハードウェアとソフトウェアのインタフェース）MIPS Edition」 第6版 上下巻、David A. Patterson、John L. Hennessy 著、成田光彰 訳、日経BP社、2021、ISBN-13:978-4296070091(上巻)、978-4296070107(下巻)
参考書	指定しない
関連科目	なし
履修条件	計算機の構成に関する基礎知識を有するか、I115 デジタル論理と計算機構成（石川キャンパス開講科目）相当の知識を有すること。
講義計画	<ol style="list-style-type: none">1. 性能とコスト（性能指標、コスト要因）2. 基本命令実行方式 1（命令セットアーキテクチャ）3. 基本命令実行方式 2（シングルサイクル実行）4. パイプライン技術 1（パイプライン処理の概要）5. パイプライン技術 2（パイプラインの制御）6. パイプライン技術 3（パイプラインハザード、分岐予測）7. パイプライン技術 4（スーパースカラと動的パイプライン）8. 前半のまとめと演習9. メモリシステムの技術 1（キャッシュ）10. メモリシステムの技術 2（キャッシュの性能解析/評価）11. メモリシステムの技術 3（仮想記憶）12. メモリシステムの技術 4（記憶階層化）13. マルチコアと並列プロセッサ14. 後半のまとめと演習 <p>・すべての回をハイフレックス（対面とオンライン）で実施する。</p>
準備学修等の具体的な指示	各講義を受講する前に、直前の講義で学んだ概念の定義をチェックすること。また、次回の授業範囲を予習し、専門用語の意味等を理解しておくこと。

評価の観点	計算機の性能、コスト、及び高速化技術（パイプライン技術、キャッシュ、仮想記憶、マルチプロセッサ）に関する理解度による。
評価方法	レポート課題、中間試験、期末試験による。 ・ 中間試験、期末試験は対面でのみ行う。
評価基準	レポート（20%）、中間試験（40%）、期末試験（40%）
獲得可能な能力・性質	先端科学技術分野の専門家としての、 <社会的能力> 幅広い視野、論理的思考力 <創出力> 専門的知識とスキルの探求力、発想力 <実践力・行動力> 情報収集力、模索的推進力、課題定義力
講義アーカイブ	<収録内容> 全ての講義・チュートリアルアワーを収録 <配信方法> 一般配信（学内ネットワークでいつでも視聴可能）

[ウインドウを閉じる](#)